

Patent number:	JP63037780
Publication date:	1988-02-18
Inventor:	HARADA TADANORI
Applicant:	CANON KK
Classification:	
- international:	H04N5/335; H04N9/07
- european:	
Application number:	JP19860181123 19860731
Priority number(s):	JP19860181123 19860731

11/4/2004

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-37780

⑬ Int. Cl.⁴

H 04 N 5/335
9/07

識別記号

庁内整理番号

E-8420-5C
A-8321-5C

⑭ 公開 昭和63年(1988)2月18日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 固体撮像装置の信号読出回路

⑯ 特 願 昭61-181123

⑰ 出 願 昭61(1986)7月31日

⑱ 発 明 者 原 田 忠 則 神奈川県川崎市高津区下野毛770番地 キヤノン株式会社
玉川事業所内

⑲ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号

⑳ 代 理 人 弁理士 田中 常雄

明 細 書

1. 発明の名称

固体撮像装置の信号読出回路

2. 特許請求の範囲

二次元的に分布する光電変換セルの垂直読出座標を垂直走査回路で指定し、その水平読出座標を水平走査回路で指定する固体撮像装置の信号読出回路であって、当該垂直走査回路と光電変換セルとの間に接続し、当該垂直走査回路からの垂直読出座標指定信号にตอบสนองして、その指定垂直座標を含めて他の1以上の垂直座標を単位読出期間内に順次指定する選択回路を具備し、単位読出期間内に同じ水平座標の複数のセルから単一の読出線に信号を読み出すことを特徴とする固体撮像装置の信号読出回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は固体撮像装置の信号読出回路に関する。

(従来の技術)

従来のカラーカメラ用固体撮像装置では、光電

変換セルの各々に色素を塗布して3原色の各色毎の信号を得るようにし、隣接する複数のセル、典型的にはR、G、Bの3個のセルが1個の絵素を構成する。従来の固体撮像装置の信号読出回路を第4図に図示する。第4図で、10が水平走査回路、12が垂直走査回路、14がインタレース回路、16がセルである。垂直に並ぶ複数の光電変換セル16には、同時に信号を読み出したい数だけの複数の信号読出線18(18a、18b)が接続し、その複数の信号読出線18は、読出制御用のトランジスタ19a、19bを介して、個別に対応する複数の出力線20a、20bに接続する。光電変換セル16の他端にはインタレース回路14からの垂直座標指示線21が接続し、どの指示線21に読出指示信号を印加するかによって、どの垂直位置のセル16から映像信号を読み出すかが決まる。水平に並ぶセル16は、同じ出力線20a、20bに接続する。

この読出回路は、白黒撮影時に垂直相関を得ない場合にも用いられる。

(発明が解決しようとする問題点)

第1図に示すような読出回路では、垂直に並ぶ複数のセルから同時に信号を得ようとするれば、各水平座標毎にその必要信号数だけの信号読出線が必要となり、光電変換セルの開口率の低下に繋がる。これは特に、複雑な相関処理を行おうとするときに、顕著である。

そこで、本発明は、水平座標毎に1本の垂直方向信号読出線を介して、垂直方向の隣接する光電変換セルから連続して信号を読み出すことの出来る信号読出回路を提示することを目的とする。連続して読み出した信号であれば、サンプル・ホールド、時間遅延等の処理により、同時化するの容易である。

(問題点を解決するための手段)

本発明に係る固体撮像装置の信号読出回路は、二次元的に分布する光電変換セルの垂直読出座標を垂直走査回路で指定し、その水平読出座標を水平走査回路で指定する固体撮像装置の信号読出回路であって、当該垂直走査回路と光電変換セルと

線24-1, 24-2, 24-3, ……を具備し、その走査線は、隣接画素選択回路26を介して垂直座標指示線28(28-1, 28-2, 28-3, ……)に接続する。垂直に並ぶ光電変換セルから信号を読み出す読出線30(30-1, 30-2, 30-3, ……)が水平座標毎に1本ずつ配線されており、各読出線30-1, 30-2, 30-3, ……は、読出制御トランジスタ32(32-1, 32-2, 32-3, ……)を介して1本の信号出力線34に接続する。これらの読出制御トランジスタ32(32-1, 32-2, 32-3, ……)は水平走査回路22により導通制御される。

隣接画素選択回路26は、垂直走査回路24が成る垂直指示線、例えば28-1をアクティブにするときに、隣接する下側の2本の垂直指示線28-2, 28-3を単位読出期間内に順次アクティブにする回路である。この隣接セルの読出は、隣接画素選択回路26への制御線36(36-1, 36-2, 36-3)の制御信号でトランジスタ26a, 26b, 26cを順次導通させることに

の間に接続し、当該垂直走査回路からの垂直読出座標指定信号に応答して、その指定垂直座標を含めて他の1以上の垂直座標を単位読出期間内に順次指定する選択回路を具備し、単位読出期間内に同じ水平座標の複数のセルから単一の読出線に信号を読み出す。

(作用)

本発明では、上記選択回路により単位読出期間内に、複数の垂直座標を指定してその連続するセルから順次、水平座標毎に単一の信号読出線に信号を読み出すことができ、従って撮像装置の撮像領域に多数の配線を必要とされること無しに、複数のセルの信号を実質的に同時に利用出来る。

(実施例)

以下、図面を参照して、本発明の実施例を説明する。

第1図はノンインタレース方式の読出回路の一実施例を示す。22は水平走査回路であり、24は垂直走査回路である。垂直走査回路24は、面状に分布する光電変換セルの水平線数だけの走査

より行う。つまり垂直走査回路24の走査線24-1がアクティブである状態で、制御線36-1をアクティブにすると垂直指示線28-1がアクティブになり、次に制御線36-2をアクティブにすると垂直指示線28-2がアクティブになり、制御線36-3をアクティブにすると垂直指示線28-3がアクティブになる。

トランジスタ32-1が導通している状態で、単位読出期間内にセル111, 112, 113の信号が信号出力線34に読み出され、次の単位読出期間内には、水平走査回路22の出力によりトランジスタ32-2が導通して同様にセル121, 122, 123の信号が読み出される。このようにして、垂直に並ぶ3個のセルの信号を連続して信号出力線34に読み出すことができ、この連続する信号を適宜に時間遅延させれば、垂直に並ぶ3個のセルについて時間的に同時の信号が得られる。このような遅延回路は簡単であり、しかもセルの極く近傍に配置する必要性も無いので、撮像装置の開口率を低めることにもならない。

第2図はインタレース方式の読出回路の一実施例であり、同時に3線出力を得られるようにした回路である。第1図図示の回路要素と同じ回路要素には同じ符号を付した。ノンインタレースをインタレースに変換するインタレース回路25を垂直走査回路24と隣接画素選択回路36との間に接続してある。このインタレース回路25は、その制御線25a、25bの内のどちらがアクティブであるかによって、垂直走査回路24の走査線24-1の信号を、隣接する出力線25-1、25-2のどちらかに振り向ける。インタレース回路25の出力線25-1、25-2……は、隣接画素選択回路26に入力しており、この出力線25-1、25-2……は、第1図図示例での線24-1、24-2……に対応する。

この実施例では、連続して読み出される隣接セルの信号を同時化するための回路をも図示した。即ち出力信号線34の出力側に電位記憶回路（実質的にはサンプル・ホールド回路）40、41、42を並列に接続し、この電位保持回路40、4

1、42の電位保持を、制御信号36-1、36-2、36-3に同期したクロック43、44、45により行う。電位保持回路40、41、42の各出力はアナログ・スイッチ50、51、52を介して出力端子60、61、62に接続し、これらのアナログ・スイッチ50、51、52は同一のクロック54により閉成又は開放される。

信号出力線34上には、セル111、112、113、121、122、123、131、132、133という順番で信号が読み出されるが、電位保持回路40、41、42及びアナログ・スイッチ50、51、52により、出力端子60にはセル111、121、131の順に信号が読み出され、出力端子61にはセル112、122、132の順に信号が読み出され、出力端子62にはセル113、123、133の順に信号が読み出される。また、垂直隣接画素の時分割された信号出力線34上の信号は、同時に出力端子60、61、62に現れる。

水平座標や垂直座標の切換時に信号出力線34

に残存する電荷を放逐するために、信号出力線34の一端をMOSトランジスタ64を介してアースに接続する。そして、制御信号66でこのトランジスタ64の導通を制御する。

インタレース回路25により垂直座標が1つおきになることを除いては、第2図の実施例でも信号出力線34には第1図と同様な連続信号が読み出され、信号出力線34の後段の回路が、信号出力線34上の連続する信号を同時化する。

第3図は、第2図の信号出力線34以後の回路の動作タイミングを3画素分について示すタイミング・チャートである。説明が前後するが、73が電位保持回路40へのクロック43であり、72がその電位保持回路40により保持される読出信号を示す。75が電位保持回路41へのクロック44であり、74がその電位保持回路41により保持される読出信号を示す。77が電位保持回路42へのクロック45であり、76がその電位保持回路42により保持される読出信号を示す。71がクロック54であり、70が出力端子60、

61、62に出力される信号を示す。図中括弧内の数値は、セルの符号に対応する。78は、リセット用トランジスタ64を導通させるためのリセット・パルス66である。

隣接画素選択回路36への制御信号36-1、36-2、36-3と、電位保持回路40、41、42へのクロック43、44、45とは、任意に組み合わせることが可能であり、これは、出力端子60、61、62で必要とされる信号によるものであり、本発明は上記説明例に限定されない。例えば白黒撮影時の垂直相関を行う場合には、上記実施例のように(36-1、43)、(36-2、44)、(36-3、45)の組み合わせでよいが、カラーフィルタを用いた場合にもこの組み合わせでは、出力端子60、61、62の色定義が変わり使用上不便である。カラーフィルタを用いる場合には、インタレース回路25の制御信号25a、25bに同期して制御信号36-1、36-2、36-3とクロック43、44、45との組み合わせを変更するようにすればよい。

上記実施例では垂直に隣接する3個のセルからの連続読出について説明したが、本発明が3個のセルの場合に限定されないことは言うまでもない。
(発明の効果)

以上の説明から分かるように、本発明によれば、撮像素子の撮像領域内で必要な垂直配線は1セル当たり1本で済むため、開口率を高め、出力を増大させることができる。水平ブランキング期間を利用するのではないため、画像処理として撮像装置と処理系のインタフェースが容易になる。

4. 図面の簡単な説明

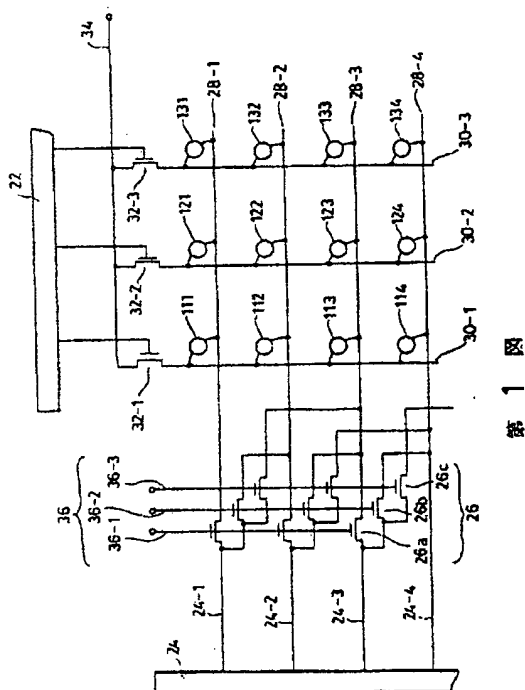
第1図は本発明をノンインタレース方式に適用した実施例の回路図、第2図はインタレース方式に適用した実施例の回路図、第3図は、第2図の回路の動作を説明するためのタイミング・チャート、第4図は従来の撮像装置読出回路である。

10……水平走査回路 12……垂直走査回路 14……インタレース回路 16……光電変換セル 18……読出線 19a, 19b……制御トランジスタ

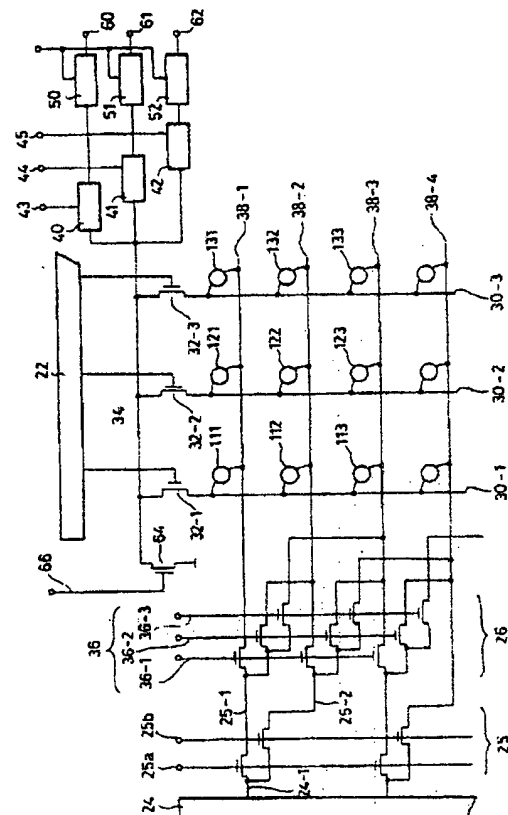
20a, 20b……信号出力線 21……垂直座標指示線 22……水平走査回路 24……垂直走査回路 24-1~4……走査線 25……インタレース回路 25a, 25b……制御線 25-1, 25-2……出力線 26……隣接画素選択回路 28(28-1~4)……垂直座標指示線 30(30-1~3)……読出線 32(32-1~3)……読出制御トランジスタ 34……信号出力線 36(36-1~3)……制御線又制御信号 40, 41, 42……電位記憶回路 43, 44, 45……クロック 50, 51, 52……アナログ・スイッチ 60, 61, 62……出力端子 111, 112, 113, 121, 122, 123, 131, 132, 133……セル

特許出願人 キヤノン株式会社

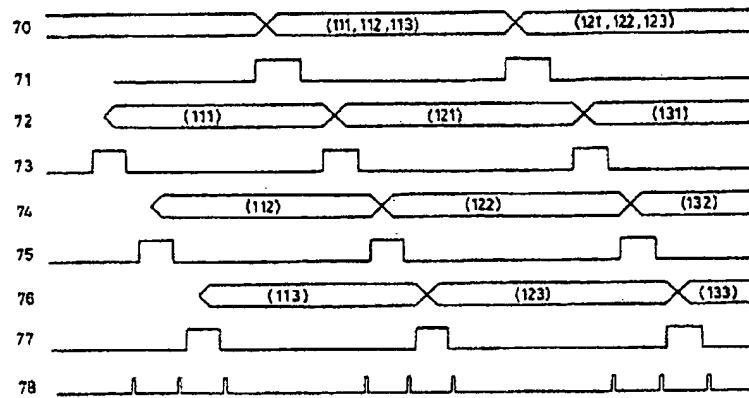
代理人 弁護士 田中 常雄



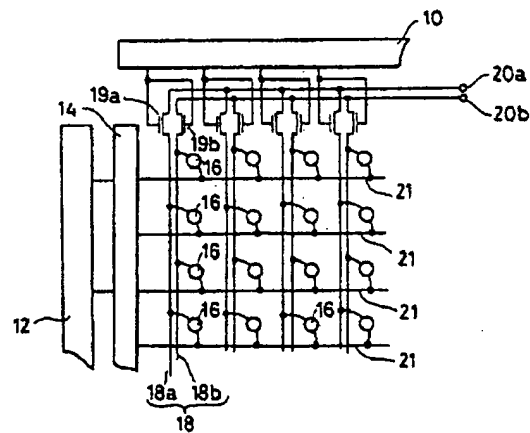
第1図



第2図



第 3 図



第 4 図

THIS PAGE BLANK (USPTQ)